



JAPANESE PATENT OFFICE

JP11121615

PATENT ABSTRACTS OF JAPAN SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

Publication date: 1999-04-30
Inventor(s): KOYAMA KAZUhide
Applicant(s): SONY CORP
Application Number: JP19970291738 19971008
Priority Number(s):
IPC Classification: H01L21/768
EC Classification:

Abstract

PROBLEM TO BE SOLVED:

To reduce plug resistance, increase electromigration resistance and reduce reactor of wirings, even in a borderless structure type wiring layout.

SOLUTION:

This manufacturing method comprises forming plugs with an Al film 21, etching a Cu film 23 to form a wiring pattern with a TiN/Ti film 22 used as an etching stopper, and etching this film 22 to form a wiring pattern with the Al film 21 used as an etching stopper. As a result, if a wiring pattern should deviate from the positions of vias 17 during patterning for the wiring as much as the Al film 21 to be plugs is exposed, the plugs can be etched to restrain their cross sectional areas from being reduced.



PATENT ABSTRACTS OF JAPAN

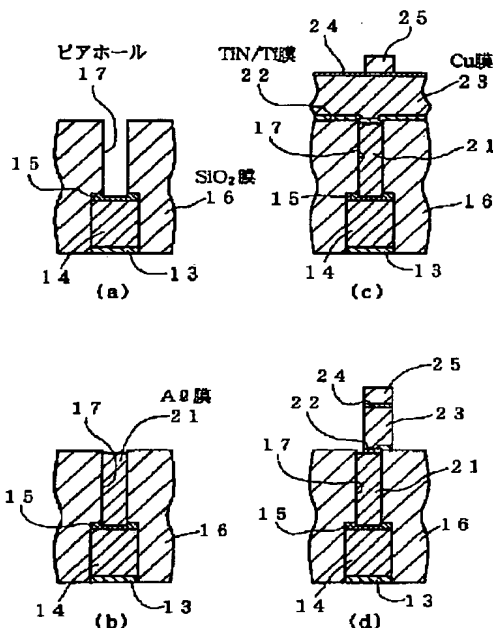
(11) Publication number: **11121615 A**(43) Date of publication of application: **30 . 04 . 99**(51) Int. Cl. **H01L 21/768**(21) Application number: **09291738**(22) Date of filing: **08 . 10 . 97**(71) Applicant: **SONY CORP**(72) Inventor: **KOYAMA KAZUhide**(54) **SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF**

(57) Abstract:

PROBLEM TO BE SOLVED: To reduce plug resistance, increase electromigration resistance and reduce reactor of wirings, even in a borderless structure type wiring layout.

SOLUTION: This manufacturing method comprises forming plugs with an Al film 21, etching a Cu film 23 to form a wiring pattern with a TiN/Ti film 22 used as an etching stopper, and etching this film 22 to form a wiring pattern with the Al film 21 used as an etching stopper. As a result, if a wiring pattern should deviate from the positions of vias 17 during patterning for the wiring as much as the Al film 21 to be plugs is exposed, the plugs can be etched to restrain their cross sectional apes from being reduced.

COPYRIGHT: (C)1999,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-121615

(43) 公開日 平成11年(1999) 4月30日

(51) Int.Cl.⁶

H 0 1 L 21/768

識別記号

F I

H 0 1 L 21/90

B

審査請求 未請求 請求項の数 8 F D (全 6 頁)

(21) 出願番号 特願平9-291738

(22) 出願日 平成9年(1997)10月8日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 小山 一英

東京都品川区北品川6丁目7番35号 ソニー株式会社内

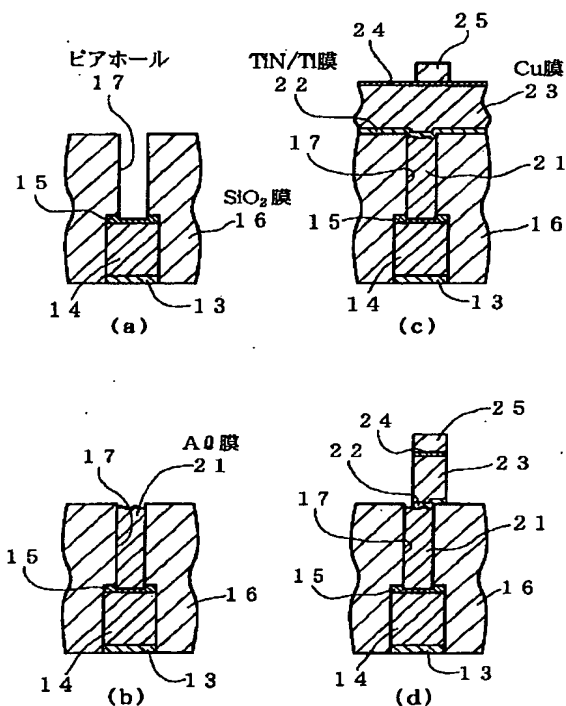
(74) 代理人 弁理士 土屋 勝

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 ボーダレス構造の配線レイアウトでもプラグの抵抗を低く且つエレクトロマイグレーション耐性を高くし、また、配線の低抵抗化を可能にする。

【解決手段】 Al膜21でプラグを形成し、TiN/Ti膜22をエッチングストッパにしてCu膜23を配線のパターンにエッチングし、Al膜21をエッチングストッパにしてTiN/Ti膜22を配線のパターンにエッチングする。このため、配線のパターンニングに際して配線のパターンがビアホール17から位置ずれしてプラグであるAl膜21が露出しても、プラグがエッチングされてその断面積が減少することを抑制することができる。



【特許請求の範囲】

【請求項1】 絶縁膜に設けられている接続孔をA1含有膜で埋める工程と、

前記A1含有膜とはエッチング特性が異なる第1の導電膜とこの第1の導電膜とはエッチング特性が異なる第2の導電膜とを前記絶縁膜上及び前記A1含有膜上に順次に形成する工程と、

前記第1の導電膜をエッチングストップパにして前記第2の導電膜を配線のパターンにエッチングする工程と、

前記A1含有膜をエッチングストップパにして前記第1の導電膜を前記配線のパターンにエッチングする工程とを具備することを特徴とする半導体装置の製造方法。

【請求項2】 前記A1含有膜を選択CVD法で前記接続孔内に形成することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 弗素を含むガスを用いるドライエッチングによって前記第1の導電膜に対する前記エッチングを行うことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項4】 TiNまたはTiONを少なくとも一部に含む膜を前記第1の導電膜として用いることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項5】 Cu含有膜を前記第2の導電膜として用いることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項6】 絶縁膜に設けられている接続孔をA1含有膜が埋めており、

前記A1含有膜とはエッチング特性が異なる下層側の第1の導電膜とこの第1の導電膜とはエッチング特性が異なる上層側の第2の導電膜とから成る配線が前記A1含有膜の表面の一部を覆っており、

前記A1含有膜のうちで前記配線に覆われている部分と覆われていない部分との段差が前記第2の導電膜の厚さの10%以下であることを特徴とする半導体装置。

【請求項7】 TiNまたはTiONを少なくとも一部に含む膜が前記第1の導電膜になっていることを特徴とする請求項6記載の半導体装置。

【請求項8】 Cu含有膜が前記第2の導電膜になっていることを特徴とする請求項6記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本願の発明は、接続孔を介して配線が下層の被接続領域に電気的に接続されている半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】コンタクトホールやビアホール等の接続孔の径が半導体装置の微細化に伴って縮小されても、層間絶縁耐圧の確保等のために層間絶縁膜は薄膜化されにくいので、半導体装置の微細化に伴って接続孔のアスペクト比が上昇している。このため、配線を形成するため

のA1膜やA1合金膜をスパッタ法で形成すると、シャドウイング効果のために接続孔の特に底部近傍にA1膜やA1合金膜が形成されにくくて、配線が断線し易い。

【0003】そこで、この断線を防止するために、CVD法で堆積させたW膜から成るプラグで接続孔を埋めてから、配線を形成するためのA1膜やA1合金膜を堆積させる方法や、高温スパッタ法やリフロー法や高圧リフロー法等によって、配線を形成するためのA1膜やA1合金膜をアスペクト比の高い接続孔内にも埋め込む方法が考えられている。

【0004】一方、図2は、半導体装置における通常構造の配線レイアウトを示している。この配線レイアウトにおける配線11は、パターニング時に接続孔12から位置ずれしても、接続孔12を介して下層の被接続領域に確実に電気的に接続される様に、接続孔12の周囲に余裕部として幅100nm程度の縁部11aを有している。

【0005】しかし、図2に示した通常構造の配線レイアウトでは、配線11が縁部11aを有しているので、接続孔12が配線11のピッチの方向に並んでいなくても縁部11aの幅だけ配線11のピッチが広くなり、接続孔12が配線11のピッチの方向に並んでいれば縁部11aの幅の2倍も配線11のピッチが広くなって、半導体装置の微細化に不利である。

【0006】このため、図3に示す様に、配線11が縁部11aを有していない所謂ボーダレス構造の配線レイアウトが考えられている。このボーダレス構造の配線レイアウトでは、配線11のピッチが配線11の幅と配線11間の間隔との和だけになるので、半導体装置の微細化に有利である。

【0007】

【発明が解決しようとする課題】ところが、W膜から成るプラグで接続孔が埋められていると、A1膜やA1合金膜で接続孔が埋められている場合に比べて、接続孔内の抵抗が2倍以上になるので、半導体装置の高速化及び低消費電力化に不利である。

【0008】一方、配線を形成するためのA1膜やA1合金膜で接続孔を埋め、且つ、図3に示したボーダレス構造の配線レイアウトを採用した場合において、配線11のパターニングに際してこの配線11のパターンが接続孔12から位置ずれすると、図4に示す様に、配線11のパターニングに際して接続孔12内のA1膜やA1合金膜もエッチングされてその断面積が減少する。

【0009】この結果、配線11のうちで接続孔12内の部分の抵抗が高くなると共にエレクトロマイグレーション耐性が低くなるので、高速化、低消費電力化及び高信頼性を達成することが困難になって、結局、微細化を達成することも困難になる。つまり、従来は、微細化、高速化、低消費電力化及び高信頼性を同時に達成することができない半導体装置を提供することが困難であった。

【0010】従って、本願の発明は、ボーダレス構造の配線レイアウトでもプラグの抵抗が低く且つエレクトロマイグレーション耐性が高く、また、配線の低抵抗化が可能のために、微細化、高速化、低消費電力化及び高信頼性を同時に達成することができる半導体装置及びその製造方法を提供することを目的としている。

【0011】

【課題を解決するための手段】請求項1に係る半導体装置の製造方法では、A1含有膜で接続孔内のプラグを形成し、絶縁膜上及びA1含有膜上に第1及び第2の導電膜を順次に形成し、第1の導電膜をエッチングストップにして第2の導電膜を配線のパターンにエッチングし、A1含有膜をエッチングストップにして第1の導電膜を配線のパターンにエッチングする。

【0012】このため、低抵抗であるがA1含有膜に対するエッチング選択比の低い膜を第2の導電膜として用い、且つ、配線のパターンニングに際して配線のパターンが接続孔から位置ずれして接続孔内のプラグであるA1含有膜が露出しても、プラグがエッチングされてその断面積が減少することを抑制することができる。

【0013】従って、ボーダレス構造の配線レイアウトを採用しても低抵抗で且つエレクトロマイグレーション耐性の高いプラグを形成することができ、また、配線の上層側の第2の導電膜として低抵抗の導電膜を用いることができ低抵抗の配線を形成することができる。

【0014】請求項2に係る半導体装置の製造方法では、A1含有膜を選択CVD法で接続孔内に形成するので、ブランケットCVD法のようにA1含有膜の形成に先立って接続孔内を含む下地上に密着層を形成しておく必要がなく、第1の導電膜とはエッチング特性が異なるA1含有膜のみで接続孔内のプラグを形成することができる。

【0015】このため、配線のパターンニングに際して配線のパターンが接続孔から位置ずれして接続孔内のプラグであるA1含有膜が露出しても、プラグがエッチングされてその断面積が減少することを確実に抑制することができる。従って、ボーダレス構造の配線レイアウトを採用しても低抵抗で且つエレクトロマイグレーション耐性の高いプラグを確実に形成することができる。

【0016】請求項3に係る半導体装置の製造方法では、弗素を含むガスを用いるドライエッチングによって第1の導電膜をエッチングするが、A1含有膜は弗素によって殆どエッチングされない。

【0017】このため、配線のパターンニングに際して配線のパターンが接続孔から位置ずれして接続孔内のプラグであるA1含有膜が露出しても、プラグがエッチングされてその断面積が減少することを確実に抑制することができる。従って、ボーダレス構造の配線レイアウトを採用しても低抵抗で且つエレクトロマイグレーション耐性の高いプラグを確実に形成することができる。

【0018】請求項4に係る半導体装置の製造方法では、TiNまたはTiONを少なくとも一部に含む膜を第1の導電膜として用い、この様な第1の膜ではA1含有膜に対して高いエッチング選択比を確保することができる。

【0019】このため、配線のパターンニングに際して配線のパターンが接続孔から位置ずれして接続孔内のプラグであるA1含有膜が露出しても、プラグがエッチングされてその断面積が減少することを確実に抑制することができる。従って、ボーダレス構造の配線レイアウトを採用しても低抵抗で且つエレクトロマイグレーション耐性の高いプラグを確実に形成することができる。

【0020】請求項5に係る半導体装置の製造方法では、第2の導電膜としてCu含有膜を用いるので、特に低抵抗の配線を形成することができる。

【0021】請求項6に係る半導体装置では、接続孔内のプラグであるA1含有膜のうちで配線に覆われている部分と覆われていない部分との段差が配線のうちの上層側の第2の導電膜の厚さの10%以下であるので、断面積の狭い部分がプラグに少ない。

【0022】しかも、A1含有膜とはエッチング特性が異なる下層側の第1の導電膜とこの第1の導電膜とはエッチング特性が異なる上層側の第2の導電膜とから配線が成っているので、低抵抗であるがA1含有膜に対するエッチング選択比の低い膜が第2の導電膜になっていてもよい。

【0023】このため、ボーダレス構造の配線レイアウトでもプラグの抵抗が低く且つエレクトロマイグレーション耐性が高く、また、配線の上層側の第2の導電膜が低抵抗の導電膜から成っていてよくて配線の低抵抗化が可能である。

【0024】請求項7に係る半導体装置では、TiNまたはTiONを少なくとも一部に含む膜が第1の導電膜になっているが、この様な第1の膜ではA1含有膜に対して高いエッチング選択比を確保することができるので、配線の上層側の第2の導電膜を選択する際の幅が広くて配線の低抵抗化が容易である。

【0025】請求項8に係る半導体装置では、第2の導電膜がCu含有膜であるので、配線の抵抗が特に低い。

【0026】

【発明の実施の形態】以下、多層配線構造の半導体装置及びその製造方法に適用した本願の発明の一実施形態を、図1を参照しながら説明する。この半導体装置を製造するためには、まず、素子分離領域やトランジスタ等の各種半導体素子を従来公知の工程で半導体基板に形成しておく。

【0027】その後、図1(a)に示す様に、バリアメタル膜としてのTiN/Ti膜13、A1膜14及び反射防止膜としてのTiN膜15を下地の層間絶縁膜上に順次に形成し、これらの膜を下層側の配線のパターンに

10

20

30

40

50

加工する。Al膜14の代わりにCu膜等を用いてもよい。そして、下記の条件のプラズマCVD法で、下層側の配線上の厚さが750nmであるSiO₂膜16等を層間絶縁膜として形成する。

【0028】SiO₂膜のプラズマCVD条件

ガス：TEOS=50sccm

圧力：333Pa

高周波電力：190W

基板加熱温度：400℃

【0029】その後、直径が250nmであるビアホール17のパターンのフォトリソ（図示せず）をリソグラフィでSiO₂膜16上に形成し、このフォトリソをマスクにして、アスペクト比が3.0であるビアホール17を下記の条件のエッチングでSiO₂膜16に開孔する。

【0030】SiO₂膜のエッチング条件

ガス：C₄F₈/CO/Ar=10/100/200sccm

圧力：6Pa

高周波電力：1600W

基板温度：20℃

【0031】次に、フォトリソを除去し、下地表面にクリーニング処理を施した後、図1(b)に示す様に、下記の条件の選択CVD法でビアホール17をAl膜21で埋め、このAl膜21でビアホール17内のプラグを形成する。Al膜21がビアホール17外にまで形成された場合は、下記の条件の化学的機械的研磨によってビアホール17外のAl膜21を除去する。

【0032】Al膜の選択CVD条件

原料：水素化ジメチルアルミニウム〔Al(CH₃)₂H〕_n=0.11g/分

キャリアガス：H₂=650sccm

圧力：266Pa

基板加熱温度：200℃

【0033】Al膜の化学的機械的研磨条件

研磨圧力：100g/cm²

回転数：定盤=30rpm、研磨ヘッド=30rpm

研磨パッド：IC-1000（商品名）

スラリー：H₂O₂ベース（アルミナ含有）

流量：100cc/分

温度：25～30℃

【0034】次に、下記の条件のスパッタエッチクリーニング処理を下地表面に施した後、下記の条件のスパッタ法でTi膜とTiN膜とを順次に堆積させて、図1(c)に示す様に、バリアメタル膜として厚さ25/5nmのTiN/Ti膜22を形成する。なお、Ti膜及びTiN膜を堆積させるための下記のスパッタ条件は、TiN/Ti膜13及びTiN膜15の形成にも適用することができる。

【0035】スパッタエッチクリーニング条件

ガス：Ar=100sccm

圧力：0.4Pa

エッチング時間：1分

高周波バイアス：1000V

基板加熱温度：200℃

【0036】Ti膜のスパッタ条件

ガス：Ar=100sccm

圧力：0.4Pa

直流電力：6kW

基板加熱温度：200℃

【0037】TiN膜のスパッタ条件

ガス：Ar/N₂=20/70sccm

圧力：0.4Pa

直流電力：12kW

基板加熱温度：200℃

【0038】その後、下記の条件のスパッタ法でCu膜23を堆積させ、上記のTiN膜のスパッタ条件で反射防止膜として厚さ30nmのTiN膜24を堆積させ、更に、上記のSiO₂膜のプラズマCVD条件で厚さ200nmのSiO₂膜25を堆積させる。

【0039】Cu膜のスパッタ条件

ガス：Ar=100sccm

圧力：0.4Pa

直流電力：15kW

基板加熱温度：100℃

【0040】そして、配線のパターンのフォトリソ（図示せず）をリソグラフィでSiO₂膜25上に形成し、このフォトリソをマスクにしてSiO₂膜25をエッチングした後、フォトリソを除去する。なお、配線のパターンのフォトリソの形成に際して、ボードレス構造の配線レイアウトを採用する。

【0041】次に、図1(d)に示す様に、SiO₂膜25をマスクにして、下記のCu膜のエッチング条件でTiN膜24及びCu膜23をエッチングし、引き続き、下記のTiN/Ti膜のエッチング条件でTiN/Ti膜22をエッチングして、上層側の配線を形成する。なお、Cu膜23のエッチングに際しては、温度を正確に制御することが重要である。

【0042】Cu膜のエッチング条件

40 ガス：Cl₂/Ar=5/50sccm

圧力：0.1Pa

高周波バイアス：300W

加熱温度：250℃

【0043】TiN/Ti膜のエッチング条件

ガス：C₄F₈/Ar=50/200sccm

圧力：2Pa

高周波バイアス：100W

無加熱

50 【0044】上記のCu膜のエッチング条件では、Cuのエッチング速度がTiNのエッチング速度の5倍以上

であるので、TiN/Ti膜22のうちの上層側のTiN膜でCu膜23に対するエッチングを停止させることができる。つまり、TiN/Ti膜22がCu膜23のエッチングストップになっている。

【0045】また、ボーダレス構造の配線レイアウトのために、上層側の配線のパターンがビアホール17から位置ずれして、TiN/Ti膜22のエッチングに伴ってビアホール17内のAl膜21が露出し、且つ、TiN/Ti膜22を十分にオーバエッチングしても、上記のTiN/Ti膜のエッチング条件ではビアホール17内のAl膜21は殆どエッチングされない。

【0046】具体的には、TiN/Ti膜22に50%のオーバエッチングを施しても、Al膜21のうちでTiN/Ti膜22に覆われている部分と覆われていない部分との段差がCu膜23の厚さの10%以下である。つまり、Al膜21がTiN/Ti膜22のエッチングストップになっている。

【0047】なお、TiN/Ti膜22のうちで主に上層側のTiN膜がCu膜23のエッチングストップになっており、TiN/Ti膜22のうちの下層側のTi膜は上層側のTiN膜の形成時におけるAl膜21の表面の窒化を防止してTiN/Ti膜22のうちの上層側のTiN膜とAl膜21とを低抵抗で接続するためのものである。このため、既述の様に、TiN/Ti膜22のうちの下層側のTi膜は上層側のTiN膜に比べて薄くする。

【0048】以上の様な本実施形態では、上層側の配線のパターンニングに際して、ビアホール17内のプラグであるAl膜21が殆どエッチングされないで、このAl膜21の断面積が殆ど減少せず、低抵抗で且つエレクトロマイグレーション耐性の高いプラグを形成することができる。

【0049】また、ビアホール17内のプラグをAl膜21で形成しているが、上層側の配線は主にCu膜23で形成しており、Cu膜はAl膜よりも抵抗が低く且つ信頼性が高いので、低抵抗且つ高信頼性の上層側の配線を形成することができる。

【0050】なお、以上の実施形態は多層配線構造の半導体装置及びその製造方法に本願の発明を適用して、下層側の配線と上層側の配線とを接続するためのビアホール17内にAl膜21から成るプラグを形成しているが、半導体基板の拡散層と配線とを接続するためのコンタクトホール内にプラグを有する半導体装置及びその製造方法等にも本願の発明を適用することができる。

【0051】また、上述の実施形態ではSiO₂膜16で層間絶縁膜を形成しているが、BPSG、PSG、BSG、AsSG、SOG、SiN、SiON、SiOF等のSi化合物から成る膜や、製造工程の最高温度が耐熱性を満たす範囲内での非晶質テフロン(poly-tetra-fluoro-ethylene)、BCB(benzo-cyclo-butane)、Fla

re(fluorinated-aryl-ether)等の有機系低誘電率材料から成る膜や、以上の膜の積層膜等をSiO₂膜16の代わりに用いてもよい。

【0052】また、上述の実施形態ではビアホール17内のプラグをAl膜21で形成しているが、Al-Cu、Al-Si、Al-Si-Cu、Al-Ge、Al-Si-Ge、Al-Ge-Cu、Al-Cu-Ti、Al-Si-Ti、Al-Sc、Al-Sc-Cu等のAl系合金から成る膜をAl膜21の代わりに用いてもよい。

【0053】また、上述の実施形態ではCu膜23のエッチングストップとしてTiN/Ti膜22を用いているが、TiON、W、WN、TiW、TiWN、Ta、Ta₂N₅等から成る膜やこれらの膜の積層膜等をTiN/Ti膜22の代わりに用いてもよい。

【0054】また、上述の実施形態では主にCu膜23で上層側の配線を形成しているが、Cu-TiやCu-Zr等のCu系合金、Ag、Al、プラグを形成するための上述のAl系合金等から成る膜やこれらの膜の積層膜等をCu膜23の代わりに用いてもよい。

【0055】

【発明の効果】請求項1に係る半導体装置の製造方法では、ボーダレス構造の配線レイアウトを採用しても低抵抗で且つエレクトロマイグレーション耐性の高いプラグを形成することができ、また、低抵抗の配線を形成することができるので、微細、高速、低消費電力で且つ信頼性の高い半導体装置を製造することができる。

【0056】請求項2～4に係る半導体装置の製造方法では、ボーダレス構造の配線レイアウトを採用しても低抵抗で且つエレクトロマイグレーション耐性の高いプラグを確実に形成することができるので、微細、高速、低消費電力で且つ信頼性の高い半導体装置を確実に製造することができる。

【0057】請求項5に係る半導体装置の製造方法では、特に低抵抗の配線を形成することができるので、特に高速、低消費電力であり且つ微細で信頼性も高い半導体装置を製造することができる。

【0058】請求項6に係る半導体装置では、ボーダレス構造の配線レイアウトでもプラグの抵抗が低く且つエレクトロマイグレーション耐性が高く、また、配線の低抵抗化が可能であるので、微細化、高速化、低消費電力化及び高信頼性を同時に達成することができる。

【0059】請求項7に係る半導体装置では、配線の低抵抗化が容易であるので、高速化及び低消費電力化を容易に達成することができ且つ微細化及び高信頼性も達成することができる。

【0060】請求項8に係る半導体装置では、配線の抵抗が特に低いので、特に高速化及び低消費電力化を容易に達成することができ且つ微細化及び高信頼性も達成することができる。

【図面の簡単な説明】

【図 1】 本願の発明の一実施形態の製造方法を工程順に示す側断面図である。

【図 2】 通常構造の配線レイアウトの平面図である。

【図 3】 ボーダレス構造の配線レイアウトの平面図である。

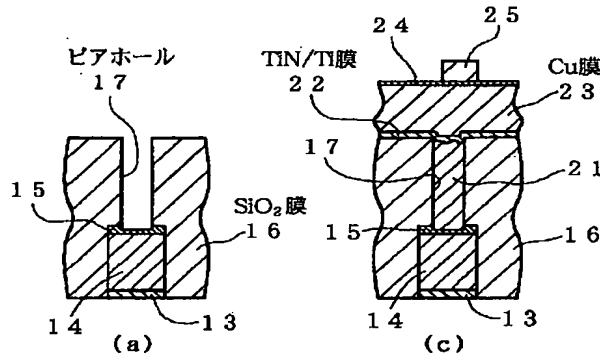
【図 4】 本願の発明の一従来例をボーダレス構造の配線 *

* レイアウトに適用した場合の課題を説明するための側断面図である。

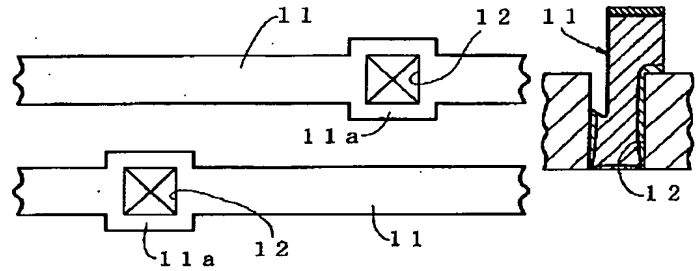
【符号の説明】

16… SiO_2 膜 (絶縁膜)、17…ビアホール (接続孔)、21…Al 膜 (Al 含有膜)、22…TiN/Ti 膜 (第 1 の導電膜)、23…Cu 膜 (第 2 の導電膜)

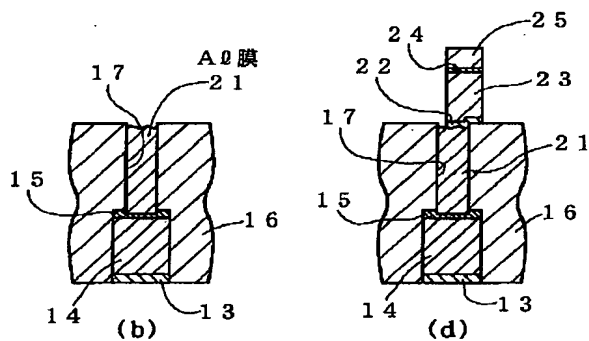
【図 1】



【図 2】



【図 4】



【図 3】

